

# BEST AVAILABLE COPY

(Translation)

Number of Dispatch: 203768  
Date of Dispatch: June 22, 2004

## NOTICE OF REASONS FOR REFUSAL

Patent Application Number : Patent Application 2001-263850  
Date of Draft : June 1, 2004  
Examiner of the Patent Office : Kenichi Ishii  
Attorneys of Patent Applicant : Mr. Toshiyuki Maruyama et al.  
Applied Provision : Patent Law Article 29 Section 2 and Article 36

This application should be rejected on the reasons described in below. If there is anything to state against this notice, the applicant is invited to submit a statement of arguments within three months from the above-identified mailing date.

### REASONS

**Reason 1.** The claimed invention of the subject application cannot be granted under the provision of Patent Law Article 29 Section 2 since it could have been made without difficulty by a person having an ordinary knowledge in the technical field to which the invention pertains, on the basis of the following publication which was distributed in Japan or foreign countries prior to the filing of the subject patent application.

### NOTE

To the claims 1, 2, 4, 18, 19

Cited Reference: D1 Unexamined Japanese Patent Publication HEI. 10-190423

Remarks:

Since the constitution described in the claims is not clear as mentioned in the reason 2 (a), any feature having especial technical significance cannot be found out when compared to the delay circuit in D1.

**Reason 2.** This application does not comply with the requirements of Article 36 Sections 4, 5 and 6 of the Patent Law because description of the claims and the drawings are not properly prepared as pointed out below.

## NOTE

The constitution of the invention described in the claims is unclear. Further, correspondence of the claims to the detailed description of invention and the drawings, and operation and function of the invention are also unclear.

(a) The claims 1, 2 and 18 include the following descriptions.

"a first portion providing a variable amount of delay substantially independently of process, temperature and voltage variations"

"said first signal path being substantially tracking changes in process, temperature and voltage variations"

However, in the detailed description of invention, there is not described how to implement such characteristic features, and therefore the constitution, operation and function of the present invention are unclear.

(b) [The translation is omitted because the objection at this item resides in only the Japanese text.]

---

### Record of Prior Art Search Result

\*Fields Searched I P C 6 H04J13/00

This record as the result of prior art search does not constitute the reason for refusal.

At present, no reason for refusal is found with respect to the claimed invention other than indicated in this notice. When a new reason for refusal is found, another notice shall be issued.

---

### Record of Prior Art Search Result

\*Fields Searched I P C 7 H04L11/20

This record as the result of prior art search does not constitute the reason for refusal.

## 拒絶理由通知書



特許出願の番号 特願 2001-263850  
 起案日 平成16年 6月 1日  
 特許庁審査官 石井 研一 8124 5X00  
 特許出願人代理人 丸山 敏之 (外 3名) 様  
 適用条文 第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

## 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

## 記

請求項 1, 2, 4, 18, 19 について、

引用刊行物

(1) 特開平10-190423号公報

## 備考

理由2 (a) にあるように、請求項記載の構成が不明瞭であるため、上記引用例にあるような遅延回路と比べて格別の技術的意義のある特徴点を見いだすことが出来ない。

2. この出願は、明細書及び図面の記載が下記の点で不備と認められるから、特許法36条第4項、5項及び第6項に規定する要件を満たしていない。

## 記

特許請求の範囲記載の本願発明の構成が不明瞭であり、発明の詳細な説明、図面との対応、及び作用効果が不明である。

整理番号 X 3 1 3.4 発送番号 2 0 3 7 6 8 2/E

発送日 平成 16 年 6 月 22 日

(a) 請求項 1, 2, 18 において、「プロセス・温度・電圧の変動から実質的に独立した可変遅延量を有する第1の部分」、「第1信号経路はプロセス、温度、電圧の変動からは殆ど独立しており」とあるが、このような特性をどのように実現するかについての記載がなく、本願発明の作用効果、構成が不明瞭である。

(b) 請求項 22 は自身の請求項を引用しており、その構成が不明である。

---

#### 先行技術文献調査結果の記録

- ・調査した技術分野 I P C 第 6 版 H 0 4 J 1 3 / 0 0
- ・先行技術文献

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

---

#### 先行技術文献調査結果の記録

- ・調査した技術分野 I P C 第 7 版 H 0 4 L 1 1 / 2 0
- ・先行技術文献

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

(19)



JAPANESE PATENT OFFICE

D 1

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10190423 A

(43) Date of publication of application: 21.07.98

(51) Int. Cl

H03K 5/13

(21) Application number: 08348785

(71) Applicant: SONY CORP

(22) Date of filing: 26.12.96

(72) Inventor: MURAKAMI DAISUKE  
MOGI TAKAYUKI

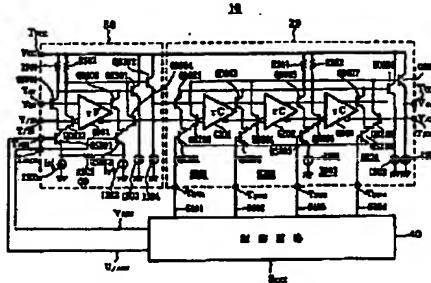
(54) DELAY CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a delay circuit which sets an entire delay time within a variable range and also realizes an excellent monotonous characteristic.

SOLUTION: A coarse delay circuit 20 which derives a prescribed delay output from each level of a delay stage of plural levels which are cascaded is cascaded to a fine delay circuit 30 which adjusts a delay time equal to or more than the one step delay time. This makes it possible to set an entire delay time within a variable range and to control a shorter delay amount of a picosecond order. One step delay time of the circuit 20 becomes equal to a maximum variable time of the circuit 30 by using a delay stage which has the same circuit configuration as a delay stage which constitutes and is cascaded to the circuit 20 for the circuit 30, and therefore, an excellent monotonous characteristic can be realized.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-190423

(43) 公開日 平成10年(1998)7月21日

(51) Int.Cl.  
H 03 K 5/13

識別記号

F I  
H 03 K 5/13

審査請求・未請求 請求項の数9 OL (全8頁)

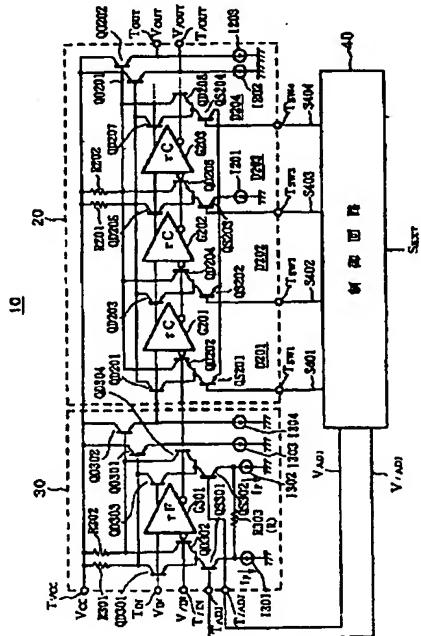
(21) 出願番号 特願平8-348785  
(22) 出願日 平成8年(1996)12月26日(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 村上 大助  
東京都品川区北品川6丁目7番35号 ソニー  
株式会社内  
(72) 発明者 茂木 幸之  
東京都品川区北品川6丁目7番35号 ソニー  
株式会社内  
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 遅延回路

## (57) 【要約】

【課題】可変レンジ内全ての遅延時間を設定することができ、しかも優れた単調性特性を実現できる遅延回路を提供する。

【解決手段】継続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路20と、その1ステップ遅延時間と等しい若しくはそれ以上の遅延時間を調整できるファインディレイ回路20とを継続接続する。これにより、可変レンジ内全ての遅延時間を設定することができ、ピコ秒オーダーのより短い遅延量の制御が可能である。また、コースディレイ回路20を構成する継続接続された遅延ステージと同じ回路構成を有する遅延ステージをファインディレイ回路30に使用することにより、コースディレイ回路20の1ステップ遅延時間とファインディレイ回路の最大可変時間が等しくなり、優れた単調性特性を実現できる。



## 【特許請求の範囲】

【請求項1】 縱続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路と、

遅延時間を、少なくとも上記コースディレイ回路の1つの遅延ステージの遅延時間内で任意の時間に設定可能なファインディレイ回路とを有し、

上記コースディレイ回路と上記ファインディレイ回路とが縦続接続されている遅延回路。

【請求項2】 入力信号を第1の遅延時間をもって遅延可能な互いに縦続接続された複数段の遅延ステージと、これら複数段の遅延ステージの各段間に接続された一对の差動増幅用トランジスタとこの一对の差動増幅用トランジスタに電流源から動作電流を供給する電流スイッチとを有する複数の差動増幅器と、上記複数の差動増幅器の一対の差動増幅用トランジスタの各出力に共通に接続された共通出力回路とを備えたコースディレイ回路と、入力信号を第2の遅延時間をもって遅延可能な遅延ステージと、当該遅延ステージの入力側および出力側にそれぞれ接続された一对の差動増幅用トランジスタと、当該入力側および出力側の一对の差動増幅用トランジスタの各出力が共通に接続された共通出力回路とを備えたファインディレイ回路と、

外部信号の指示に応じて、上記コースディレイ回路の複数の差動増幅器の電流スイッチを選択的に制御して一の差動増幅器を作動させ、上記ファインディレイ回路の遅延ステージの入力側および出力側の一对の差動増幅用トランジスタへの動作電流量を相補的に調整する制御回路とを有する遅延回路。

【請求項3】 上記ファインディレイ回路の遅延ステージの第2の遅延時間は、上記コースディレイ回路の遅延ステージの第1の遅延時間より長く設定されている請求項2記載の遅延回路。

【請求項4】 上記ファインディレイ回路の遅延ステージの第2の遅延時間は、上記コースディレイ回路の遅延ステージの第1の遅延時間と等しく設定されている請求項2記載の遅延回路。

【請求項5】 上記コースディレイ回路は、第1および第2の電流源と、上記第1の電流源と第2の電流源とを接続する抵抗素子と、コレクタが上記入力側の一对の差動増幅用トランジスタに接続され、エミッタが上記第1の電流源に接続された第1のトランジスタと、コレクタが上記出力側の一对の差動増幅用トランジスタに接続され、エミッタが上記第2の電流源に接続された第2のトランジスタとを有し、

上記制御回路は、上記第1のトランジスタおよび第2のトランジスタのベース電位を相補的に調整する請求項2記載の遅延回路。

【請求項6】 上記コースディレイ回路は、電流値が異なる複数の電流源と、制御信号に基づいて上記各電流源

を上記入力側の一对の差動増幅用トランジスタおよび出力側の一对の差動増幅用トランジスタのいずれかに選択的に接続するスイッチ回路とを有し、

上記制御回路は、上記スイッチ回路に対して上記制御信号を出力する請求項2記載の遅延回路。

【請求項7】 上記コースディレイ回路は、初段の遅延ステージの入力側に、一对の差動増幅用トランジスタとこの一对の差動増幅用トランジスタに電流源から動作電流を供給する電流スイッチとを備え、出力が当該コースディレイ回路の共通出力回路に接続された差動増幅器を有する請求項2記載の遅延回路。

【請求項8】 上記コースディレイ回路は、上記複数の電流増幅器と上記共通出力回路との間にバッファ回路を有する請求項2記載の遅延回路。

【請求項9】 上記コースディレイ回路の複数の差動増幅器の電流スイッチは共通の電流源に接続され、当該共通電流源から動作電流を供給する請求項2記載の遅延回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、遅延時間を任意に設定可能な遅延回路に関するものである。

## 【0002】

【従来の技術】 出願人は、特開平4-17410号公報、および特開平4-268810号公報に開示されているような、遅延特性の直線性に優れ、ICテスター等に好適な遅延回路を提案した。

【0003】 具体的には、前者の遅延回路は、遅延すべき入力信号が供給される入力端子と、N段 ( $N \geq 2$ ) からなり互いに縦続接続された複数段の遅延ステージと、これら複数段の遅延ステージの各段間に接続されるとともに、一对の差動増幅用トランジスタとこの一对の差動増幅用トランジスタに共通電流源から動作電流を供給する電流スイッチとを有する複数の差動増幅器と、上記複数の差動増幅器の一対の差動増幅用トランジスタの各出力に共通に接続された共通出力端子と、上記複数の差動増幅器の電流スイッチを選択的に制御する制御回路とを有している。

【0004】 このような構成を有する遅延回路は、複数の差動増幅器のいずれの電流スイッチを選択した場合でも、差動増幅器による遅延量は一定になるので遅延特性的直線性が良好になるとともに、単一の共通電流源を用いるので消費電力の低減を図れるという利点がある。

【0005】 また、後者の遅延回路は、遅延すべき入力信号が供給される入力端子と、遅延された信号を導出する出力端子と、入力端子と出力端子間に挿入された抵抗素子と、単位容量をCとするとき、各々C, 2C, 4C, ...,  $2^{n-1}C$ なる容量を有し、各一端が抵抗素子の出力端に共通に接続されたn個の容量素子と、このn個の容量素子の各他端に対して入力信号と逆相もしくは同

相の信号または基準電位レベルを選択的に印加するn個の選択手段とを有している。

【0006】この遅延回路では、各一端が抵抗素子の出力端に共通接続されたn個の容量素子の他端に、入力信号と逆相もしくは同相の信号を印加するか否かで、見掛け上、容量素子の容量を変化させることができる。このように、C R時定数回路の容量Cを制御することで、任意の遅延時間を設定でき、ピコ秒オーダーのより短い遅延量の制御が可能で、直線性に優れた遅延特性が得られるという利点がある。

#### 【0007】

【発明が解決しようとする課題】ところが、前者の遅延回路では、差動増幅器による遅延量は一定になるので遅延特性の直線性が良好になるとともに、単一の共通電流源を用いるので消費電力の低減を図れるという利点があるものの、ピコ秒オーダーのより短い遅延量の制御が困難である。

【0008】また、後者の遅延回路では、上述したように、任意の遅延時間を設定でき、ピコ秒オーダーのより短い遅延量の制御が可能で、直線性に優れた遅延特性が得られるという利点があるものの、最大可変時間が粗調整遅延回路（コースディレイ回路）の1ステップ時間と独立のため、微調整回路（ファインディレイ回路）の最大可変時間をコースディレイ回路の1ステップ時間よりも大きく設定する必要があることから、単調性に問題があった。

【0009】本発明は、かかる事情に鑑みてなされたものであり、その目的は、可変レンジ内全ての遅延時間を設定することができ、しかも優れた単調性特性を実現できる遅延回路を提供することにある。

#### 【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の遅延回路は、継続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路と、遅延時間を、少なくとも上記コースディレイ回路の1つの遅延ステージの遅延時間内で任意の時間に設定可能なファインディレイ回路とを有し、上記コースディレイ回路と上記ファインディレイ回路とが継続接続されている。

【0011】また、本発明の遅延回路は、入力信号を第1の遅延時間をもって遅延可能な互いに継続接続された複数段の遅延ステージと、これら複数段の遅延ステージの各段間に接続された一对の差動増幅用トランジスタとこの一对の差動増幅用トランジスタに電流源から動作電流を供給する電流スイッチとを有する複数の差動増幅器と、上記複数の差動増幅器の一对の差動増幅用トランジスタの各出力に共通に接続された共通出力回路とを備えたコースディレイ回路と、入力信号を第2の遅延時間をもって遅延可能な遅延ステージと、当該遅延ステージの入力側および出力側にそれぞれ接続された一对の差動増

幅用トランジスタと、当該入力側および出力側の一対の差動増幅用トランジスタの各出力が共通に接続された共通出力回路とを備えたファインディレイ回路と、外部信号の指示に応じて、上記コースディレイ回路の複数の差動増幅器の電流スイッチを選択的に制御して一の差動増幅器を作動させ、上記ファインディレイ回路の遅延ステージの入力側および出力側の一対の差動増幅用トランジスタへの動作電流量を相補的に調整する制御回路とを有する。

10 【0012】また、好適には、上記ファインディレイ回路の遅延ステージの第2の遅延時間は、上記コースディレイ回路の遅延ステージの第1の遅延時間より長くあるいは等しく設定されている。

【0013】また、上記遅延回路では、上記コースディレイ回路は、第1および第2の電流源と、上記第1の電流源と第2の電流源とを接続する抵抗素子と、コレクタが上記入力側の一対の差動増幅用トランジスタに接続され、エミッタが上記第1の電流源に接続された第1のトランジスタと、コレクタが上記出力側の一対の差動増幅用トランジスタに接続され、エミッタが上記第2の電流源に接続された第2のトランジスタとを有し、上記制御回路は、上記第1のトランジスタおよび第2のトランジスタのベース電位を相補的に調整する。

【0014】また、上記遅延回路では、上記コースディレイ回路は、電流値が異なる複数の電流源と、制御信号に基づいて上記各電流源を上記入力側の一対の差動増幅用トランジスタおよび出力側の一対の差動増幅用トランジスタのいずれかに選択的に接続するスイッチ回路とを有し、上記制御回路は、上記スイッチ回路に対して上記制御信号を出力する。

【0015】本発明の遅延回路によれば、継続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路と、その1ステップ遅延時間と等しい若しくはそれ以上の遅延時間を調整できるファインディレイ回路を継続接続することにより、可変レンジ内全ての遅延時間を設定することができる。また、コースディレイ回路を構成する継続接続された遅延ステージと同じ回路構成の遅延ステージをファインディレイ回路に使用することにより、コースディレイ回路の1ステップ遅延時間とファインディレイ回路の最大可変時間が等しくなり、優れた単調性特性を実現できる。さらに、コースディレイ回路とファインディレイ回路の回路構成が同じであるため、プロセスばらつき、温度変化、電源変動に対する遅延変動はかなり低減される。

【0016】

【発明の実施の形態】図1は、本発明に係る遅延回路の一実施形態を示す回路図である。図1に示すように、本遅延回路10は、継続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路（Course Delay Circuit；プログラマブル遅延回

路) 20 と、その 1 ステップ遅延時間と等しい若しくはそれ以上の遅延時間を調整できるファインディレイ回路 (Fine Delay Circuit; アジャスタブル遅延回路) 30 とを組み接続して構成され、コースディレイ回路 20 およびファインディレイ回路 30 の遅延時間の調整は、制御回路 40 による切換信号 S401, …、および調整信号  $V_{A_{01}}, V_{A_{02}}$  に基づいて行うように構成されている。図 1 の遅延回路 10 は、コースディレイ回路 20 の前段にファインディレイ回路 30 が継続接続された構成例である。

【0017】コースディレイ回路 20 は、遅延時間が  $C$  に設定された複数段 (たとえば  $N$  段、ただし  $N \geq 2$ ) の、たとえば逆相の信号を入出力する 2 入力 2 出力の遅延ステージ  $G_{201}, G_{202}, G_{203}, \dots$  ( $G_{20N}$  : 図示せず)、差動增幅用  $n-p-n$  型トランジスタ  $Q_{D201}, Q_{D202}, Q_{D203}, Q_{D204}, Q_{D205}, Q_{D206}, Q_{D207}, Q_{D208}, \dots$  電流スイッチ用  $n-p-n$  型トランジスタ  $Q_{S201}, Q_{S202}, Q_{S203}, Q_{S204}, \dots$  ( $Q_{S20N}$  : 図示せず)、出力用  $n-p-n$  型トランジスタ  $Q_{O201}, Q_{O202}$ 、共通電流源  $I_{201}$ 、出力段用電流源  $I_{202}, I_{203}$ 、および負荷用抵抗素子  $R_{201}, R_{202}$  により構成されている。

【0018】トランジスタ  $Q_{D201}$  および  $Q_{D202}$  はエミッタ同士が接続され、ベースが前段のファインディレイ回路 30 の 2 出力とコースディレイ回路 20 の初段の第 1 遅延ステージ  $G_{201}$  との正負の 2 入力との間にそれぞれ接続され、各コレクタは共通出力段のトランジスタ  $Q_{O201}, Q_{O202}$  のベースにそれぞれ接続されている。また、エミッタ同士の接続点が電流スイッチとしてのトランジスタ  $Q_{S201}$  のコレクタに接続されている。

【0019】そして、各遅延ステージの段間にも一対の差動用トランジスタのベースが接続されている。すなわち、第 1 遅延ステージ  $G_{201}$  の正側出力と第 2 遅延ステージ  $G_{202}$  の正側入力との間にトランジスタ  $Q_{D203}$  のベースが接続され、第 1 遅延ステージ  $G_{201}$  の負側出力と第 2 遅延ステージ  $G_{202}$  の負側入力との間にトランジスタ  $Q_{D204}$  のベースが接続されている。トランジスタ  $Q_{D203}$  と  $Q_{D204}$  のエミッタ同士が接続され、その接続点が電流スイッチとしてのトランジスタ  $Q_{S202}$  のコレクタに接続されている。また、トランジスタ  $Q_{D203}, Q_{D204}$  の各コレクタは共通出力段のトランジスタ  $Q_{O201}, Q_{O202}$  のベースにそれぞれ接続されている。第 2 遅延ステージ  $G_{202}$  の正側出力と第 3 遅延ステージ  $G_{203}$  の正側入力との間にトランジスタ  $Q_{D205}$  のベースが接続され、第 2 遅延ステージ  $G_{202}$  の負側出力と第 3 遅延ステージ  $G_{203}$  の負側入力との間にトランジスタ  $Q_{D206}$  のベースが接続されている。トランジスタ  $Q_{D205}, Q_{D206}$  のエミッタ同士が接続され、その接続点が電流スイッチとしてのトランジスタ  $Q_{S203}$  のコレクタに接続されている。また、トランジスタ  $Q_{D205}, Q_{D206}$

D206 の各コレクタは共通出力段のトランジスタ  $Q_{O201}, Q_{O202}$  のベースにそれぞれ接続されている。以下同様にして、各遅延ステージの段間に差動增幅用トランジスタのベースが接続されている。

【0020】また、各差動增幅用トランジスタ  $Q_{D201}, Q_{D203}, Q_{D205}, Q_{D207}, \dots$  のコレクタは抵抗素子  $R_{201}$  を介して、トランジスタ  $Q_{D202}, Q_{D204}, Q_{D206}, Q_{D208}, \dots$  のコレクタは抵抗素子  $R_{202}$  を介して電源電圧  $V_{cc}$  の共通の供給端子  $T_{vcc}$  に接続されている。また、電流スイッチとしてのトランジスタ  $Q_{S201}, Q_{S202}, Q_{S203}, Q_{S204}, \dots$  のエミッタは電流値  $I_{ref}$  の共通電流源  $I_{201}$  に接続されている。そして、トランジスタ  $Q_{S201}$  のベースは切換端子  $T_{s_{01}}$  に接続され、トランジスタ  $Q_{S202}$  のベースは切換端子  $T_{s_{02}}$  に接続され、トランジスタ  $Q_{S203}$  のベースは切換端子  $T_{s_{03}}$  に接続され、そして図示しないトランジスタ  $Q_{S20N}$  のベースが切換端子  $T_{s_{0N}}$  に接続される。

【0021】さらに、出力用トランジスタ  $Q_{O201}, Q_{O202}$  のコレクタは電源電圧  $V_{cc}$  の共通の供給端子  $T_{vcc}$  に接続されている。トランジスタ  $Q_{O201}$  のエミッタは電流源  $I_{202}$  に接続されているとともに、出力端子  $T_{out}$  に接続されている。トランジスタ  $Q_{O202}$  のエミッタは電流源  $I_{203}$  に接続されているとともに、出力端子  $T_{out}$  に接続されている。

【0022】上記構成において、差動增幅用トランジスタ  $Q_{D201}, Q_{D202}$  および電流スイッチ用トランジスタ  $Q_{S201}$  により第 1 差動増幅器  $D_{201}$  が構成されている。同様に、差動增幅用トランジスタ  $Q_{D203}, Q_{D204}$  および電流スイッチ用トランジスタ  $Q_{S202}$  により第 2 差動増幅器  $D_{202}$  が構成され、差動増幅用トランジスタ  $Q_{D205}, Q_{D206}$  および電流スイッチ用トランジスタ  $Q_{S203}$  により第 3 差動増幅器  $D_{203}$  が構成され、差動増幅用トランジスタ  $Q_{D207}, Q_{D208}$  および電流スイッチ用トランジスタ  $Q_{S204}$  により第 4 差動増幅器  $D_{204}$  が構成される。

【0023】これら、差動増幅器  $D_{201}, D_{202}, D_{203}, D_{204}, \dots$  は制御回路 40 からの切換信号  $S401, S402, S403, S404, \dots$  により選択的に切り換えて作動制御される。具体的には、たとえば第 1 差動増幅器  $D_{201}$  が選択され作動状態にあるときには、ファインディレイ回路 30 で  $0$  から最大  $\tau F$  だけ遅延作用を受けた信号が増幅されそのまま出力される。ここで得られた遅延時間を  $\Delta \tau F$  とすると、第 2 差動増幅器  $D_{202}$  が選択され作動状態にあるときには、ファインディレイ回路 30 で  $\Delta \tau F$  だけ遅延作用を受けた信号が第 1 遅延ステージ  $G_{201}$  さらに時間  $\tau C$  だけ遅延され、全体で  $\Delta \tau F + \tau C$  だけ遅延された信号が増幅されて出力される。同様に、第 3 差動増幅器  $D_{203}$  が選択され作動状態にあるときには、ファインディレイ回路 30

40 40 40 50

で $\Delta \tau F$ だけ遅延作用を受けた信号が第1および第2遅延ステージG201, G202でさらに時間 $2\tau C$ だけ遅延され、全体で $\Delta \tau F + 2\tau C$ だけ遅延された信号が増幅されて出力される。なお、この説明では、ファインディレイ回路30の出力段の遅延時間は考慮していない。

【0024】図2は、上記した構成を有するコースディレイ回路20の遅延特性を示す図である。図2において、横軸は切換信号の入力端子を、縦軸は遅延時間をそれぞれ表している。図2から明らかのように、図1のコースディレイ回路20は、 $\tau C$ の刻み幅で直線性が非常に良好である。

【0025】ファインディレイ回路30は、逆相の信号が入力される遅延時間が $\tau F$ に設定された2入力2出力の遅延ステージG301、差動増幅用n-p-n型トランジスタQD301, QD302, QD303, QD304、電流スイッチ用n-p-n型トランジスタQS301, QS302、出力用n-p-n型トランジスタQO301, QO302、電流源I301, I302, I303, I304および抵抗素子R301, R302, R303により構成されている。

【0026】トランジスタQD301およびQD302はエミッタ同士が接続され、ベースが逆相の信号V<sub>1..</sub>, V<sub>2..</sub>の入力端子T<sub>1..</sub>, T<sub>2..</sub>と遅延ステージG301の正負の2入力との間にそれぞれ接続され、各コレクタは共通出力段のトランジスタQO301, QO302のベースにそれぞれ接続されている。また、エミッタ同士の接続点が電流スイッチとしてのトランジスタQS301のコレクタに接続されている。トランジスタQD303およびQD304はエミッタ同士が接続され、ベースが遅延ステージG301の正負の2出力にそれぞれ接続され、各コレクタは共通出力段のトランジスタQO301, QO302のベースにそれぞれ接続されている。また、エミッタ同士の接続点が電流スイッチとしてのトランジスタQS302のコレクタに接続されている。

【0027】また、各差動増幅用トランジスタQD301, QD303のコレクタは抵抗素子R301を介して、トランジスタQD302, QD304のコレクタは抵抗素子R302を介して電源電圧V<sub>cc</sub>の共通の供給端子T<sub>Vcc</sub>に接続されている。また、電流スイッチとしてのトランジスタQS301, QS302のエミッタはそれぞれ電流源I301, I302に接続され、これらエミッタと電流源との接続点同士が抵抗素子R303を介して接続されている。そして、トランジスタQS301のベースは調整端子T<sub>AD</sub>に接続され、トランジスタQS302のベースは調整端子T<sub>1AD</sub>に接続されている。

【0028】さらに、出力用トランジスタQO301, QO302のコレクタは電源電圧V<sub>cc</sub>の共通の供給端子T<sub>Vcc</sub>に接続されている。トランジスタQO301のエミッタは電流源I303に接続されているとともに、コースディレイ回路20の入力段のトランジスタQD202のベースおよび第1遅延ステージG201の負側入力に接続され

ている。トランジスタQO302のエミッタは電流源I304に接続されているとともに、コースディレイ回路20の入力段のトランジスタQD201のベースおよび第1遅延ステージG201の正側入力に接続されている。

【0029】制御回路40は、外部信号S<sub>ext</sub>を受け、コースディレイ回路20の上述した電流スイッチを選択的に作動制御するための切換信号S401, S402, S403, S404, …をコースディレイ回路20に選択的に出力するとともに、ファインディレイ回路30の遅延時間を調整するためにレベルを選択的(相補的)に設定した調整信号V<sub>AD</sub>, V<sub>1AD</sub>をファインディレイ回路30に出力する。

【0030】ここで、上記構成を有するファインディレイ回路30による遅延時間調整について、図3を参照して説明する。図3は、調整信号V<sub>AD</sub>, V<sub>1AD</sub>間(V<sub>AD</sub> - V<sub>1AD</sub>)の電圧を可変した場合のファインディレイ回路30の出力遅延時間の変化量を示す図である。図3において、横軸がV<sub>AD</sub>, V<sub>1AD</sub>間(V<sub>AD</sub> - V<sub>1AD</sub>)の電圧を、縦軸が遅延時間をそれぞれ表している。

【0031】今、制御回路40による調整信号V<sub>AD</sub>およびV<sub>1AD</sub>のレベルが、V<sub>AD</sub> >> V<sub>1AD</sub>の関係を満足し、ファインディレイ回路30におけるトランジスタQS301のエミッタ電流が2I<sub>f</sub>のときの導出回路部(出力段)の遅延時間はT<sub>d</sub>とすると、V<sub>AD</sub> >> V<sub>1AD</sub>で、トランジスタQS302のエミッタ電流が2I<sub>f</sub>の時の導出回路部の遅延時間は(T<sub>d</sub> + τF)であることは明らかである。図2からわかるように、調整信号V<sub>AD</sub>およびV<sub>1AD</sub>の電圧レベルを変えることにより、ファインディレイ回路30によって、最大τFをもって任意の時間を設定することができる。

【0032】一方、図2を参照して説明したように、ファインディレイ回路30の後段に続続接続されたコースディレイ回路20では、τCの刻み幅で直線性が非常に良好であるのは明らかである。よって、τF > τCに設定すれば、可変レンジ内全ての遅延時間を設定することができる。また、τF = τCに設定すれば単調性の良い遅延線を実現することができる。

【0033】次に、上記構成による動作を説明する。図40示しない外部装置から、遅延時間を指示する外部信号S<sub>ext</sub>が制御回路40に供給される。制御回路40では、外部信号S<sub>ext</sub>の指示に従って遅延時間を設定すべく、調整信号V<sub>AD</sub>およびV<sub>1AD</sub>の電圧レベルが相補的に調整されてファインディレイ回路20に出力され、また、指示に従って一の切換信号S401～S40Nが選択されてコースディレイ回路30に出力される。

【0034】ファインディレイ回路30では、遅延時間がトランジスタQS301およびQS302への調整信号V<sub>AD</sub>およびV<sub>1AD</sub>の供給レベル、すなわち、(V<sub>AD</sub> - V<sub>1AD</sub>)に応じてT<sub>d</sub>～(T<sub>d</sub> + τF)の間の時間に、

図3に示すような直線的な特性をもって微調整されて、入力されたたとえば逆相の信号 $V_{111}, V_{112}$ がこの調整された遅延時間をもって遅延され、次段のコースディレイ回路20に出力される。

【0035】コースディレイ回路20では、たとえば制御回路40により切換信号S401が供給され、第1差動増幅器D201が選択され作動状態にあるときには、ファインディレイ回路30において $T_d \sim (T_d + \tau F)$ の遅延作用を受けた信号が、コースディレイ回路20の導出回路部の遅延時間を $T_c d$ とすると、全体で $T_d + T_c d \sim T_d + \tau F + T_c d$ だけ遅延されて出力される。また、切換信号S402が供給され、第2差動増幅器D202が選択され作動状態にあるときには、ファインディレイ回路30において $T_d \sim (T_d + \tau F)$ の遅延作用を受けた信号が、第1遅延ステージG201でさらに時間 $\tau C$ だけ遅延され、コースディレイ回路20の導出回路部の遅延時間を $T_d$ とすると、全体で $(T_d + T_c + T_c d) \sim (T_d + \tau F + T_c + T_c d)$ だけ遅延された信号が増幅されて出力される。さらにまた、切換信号S403が供給され、第3差動増幅器D203が選択され作動状態にあるときには、ファインディレイ回路30において $T_d \sim (T_d + \tau F)$ の遅延作用を受けた信号が、第1および第2遅延ステージG201, G202でさらに時間 $2\tau C$ だけ遅延され、全体で $(T_d + 2\tau C + T_c d) \sim (T_d + \tau F + 2\tau C + T_c d)$ だけ遅延された信号が増幅されて出力される。

【0036】以上のように、本実施形態によれば、継続接続された複数段の遅延ステージの各段より所定の遅延出力を導出できるコースディレイ回路20と、その1ステップ遅延時間と等しい若しくはそれ以上の遅延時間を調整できるファインディレイ回路20とを継続接続したので、可変レンジ内全ての遅延時間を設定することができ( $\tau F \geq \tau C$ )、ピコ秒オーダーのより短い遅延量の制御が可能である。また、コースディレイ回路20を構成する継続接続された遅延ステージと同じ回路構成を有する遅延ステージをファインディレイ回路30に使用することにより、コースディレイ回路の1ステップ遅延時間とファインディレイ回路の最大可変時間が等しくなり、優れた単調性特性を実現できる。さらに、高速信号処理遅延回路に最適であり、ファインディレイ回路とコースディレイ回路の回路構成が同じであるため、プロセスばらつき、温度変化、電源変動に対する遅延変動を大幅に低減できる。

【0037】なお、上述した実施形態においては、ファインディレイ回路30の時間調整をアナログ的に電流を調整して行うように構成したが、これに限定されるものではなく、デジタル的に制御することも可能である。たとえば、図4に示すように、電流値が2の(n-1)乗(ただし、nは1以上の自然数)の異なる複数の電流源ID301～ID30nを設けるとともに、これら電流源

ID301～ID30nを遅延ステージG301の入力側の差動増幅用トランジスタQD301, QD302のエミッタ同士の接続点と、出力側の差動増幅用トランジスタQD303, QD304のエミッタ同士の接続点とを選択的に接続する複数のスイッチ回路SW301～SW30nと、制御回路からの制御信号C1～Cnによりスイッチ回路SW301～SW30nの切換制御を行う電流スイッチ回路31とを設けてファインディレイ回路30aを構成することも可能である。このように、ファインディレイ回路の調整方法をデジタルで可変することにより、デジタル設定に対する最大可変遅延時間は $\tau F$ となり、たとえば $\tau F = \tau C$ とすることにより単調性の良いディレイラインを実現することができる。

【0038】さらに、図5に示すように、コースディレイ回路20aにおいて、各差動増幅器D201, D202, D203, D204, …の出力と、出力段のトランジスタQO201, QO202のベースとの間に、バッファ回路としてのセンスアンプ21を設けることも可能である。この場合、差動増幅用トランジスタQD201, QD202, QD203, QD204, QD205, QD206, QD207, QD208, …の出力容量が見掛け上小さくなることから、高速化を図ることができる。

【0039】  
【発明の効果】以上説明したように、本発明の遅延回路によれば、継続接続された複数段の遅延回路の各段より所定の遅延出力を導出できるコースディレイ回路と、その1ステップ遅延時間と等しい若しくはそれ以上の遅延時間を調整できるファインディレイ回路とを継続接続したので、可変レンジ内全ての遅延時間を設定することができる。

【0040】また、本発明の遅延回路によれば、コースディレイ回路を構成する継続接続された遅延ステージと同じ回路構成の遅延ステージをファインディレイ回路に使用することにより、コースディレイ回路の1ステップ遅延時間とファインディレイ回路の最大可変時間が等しくなり、優れた単調性特性を実現できる。

【0041】また、本発明の遅延回路によれば、ファインディレイ回路のディジタル的に可変することにより、デジタル設定に対する最大可変遅延時間は $\tau F$ (第2の遅延時間)となり、たとえば $\tau F = \tau C$ (第1の遅延時間)とすることにより単調性の良いディレイラインを実現することができる。

【0042】また、本発明の遅延回路によれば、高速信号処理遅延回路に最適である。また、ファインディレイ回路とコースディレイ回路の回路構成が同じであるため、プロセスばらつき、温度変化、電源変動に対する遅延変動はかなり低減できる。

【図面の簡単な説明】

【図1】本発明に係る遅延回路の一実施形態を示す回路図である。

【図2】コースディレイ回路の遅延特性を示す図である。

【図3】調整信号 $V_{ADJ}$ 、 $V_{ADJ}$ 間( $V_{ADJ} - V_{ADJ}$ )の電圧を可変した場合のファインディレイ回路の出力遅延時間の変化量を示す図である。

【図4】本発明に係るファインディレイ回路の他の構成例を示す回路図である。

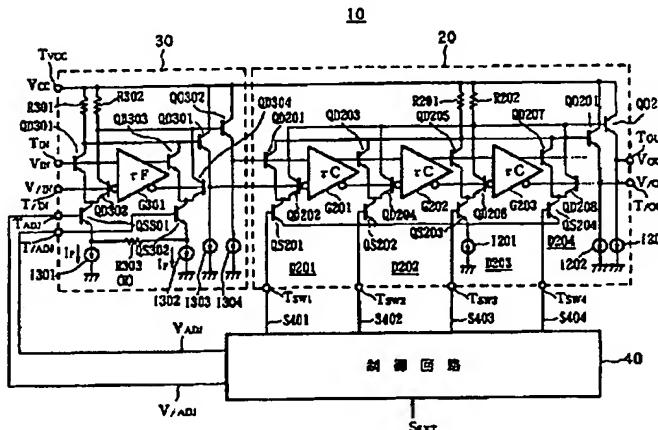
【図5】本発明に係るコースディレイ回路の他の構成例を示す回路図である。

【符号の説明】

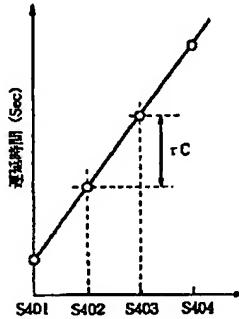
10 …遅延回路、20, 20a …コースディレイ回路、  
21 …センスアンプ、30, 30a …ファインディレイ  
回路、31 …電流スイッチ回路、40 …制御回路、G20\*

\*1, G202, G203, …, …遅延ステージ、QD201  
1, QD202, QD203, QD204, QD205, QD206  
1, QD207, QD208, …, …差動増幅用n p n型  
トランジスタ、QS201, QS202, QS203, QS204,  
…, …電流スイッチ用n p n型トランジスタ、QO  
201, QO202 …出力用n p n型トランジスタ、I201  
…共通電流源、I202, I203 …出力段用電流源、R20  
1, R202 …負荷用抵抗素子、G301 …遅延ステージ、  
QD301, QD302, QD303, QD304 …差動増幅用  
n p n型トランジスタ、QS301, QS302 …電流スイ  
チ用n p n型トランジスタ、QO301, QO302 …出  
力用n p n型トランジスタ、I301, I302, I303,  
I304 …電流源、R301, R302, R303 …抵抗素子。

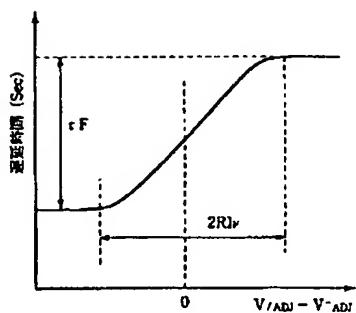
【図1】



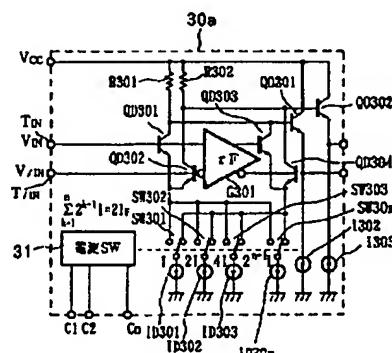
【図2】



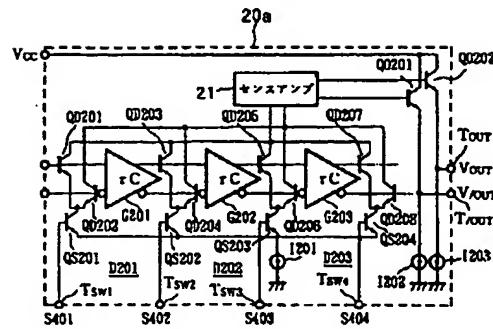
【図3】



【図4】



【図5】



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

## [Claim(s)]

[Claim 1] The course delay circuit which can derive a predetermined delay output from two or more steps of each stage of a delay stage by which cascade connection was carried out, and the delay circuit where it has the fine delay circuit which can be set as the time amount of arbitration at least within the time delay of one delay stage of the above-mentioned course delay circuit, and cascade connection of the above-mentioned course delay circuit and the above-mentioned fine delay circuit is carried out in the time delay.

[Claim 2] It has the 1st time delay for an input signal. Two or more steps of delay stages which can be delayed and by which cascade connection was carried out mutually, Two or more differential amplifier which has the current switch which supplies the operating current to the transistor for differential amplifiers of the pair connected to each interstage of the delay stage of these two or more stages, and the transistor for differential amplifiers of this pair from a current source, The course delay circuit equipped with the common output circuit connected common to each output of the transistor for differential amplifiers of the pair of two or more above-mentioned differential amplifier. The transistor for differential amplifiers of a pair by which the input signal was connected to the input side and output side of the delay stage which can be delayed, and the delay stage concerned with the 2nd time delay, respectively, The fine delay circuit where each output of the transistor for differential amplifiers of the pair of the input side concerned and an output side was equipped with the common output circuit connected in common. According to directions of an external signal, control alternatively the current switch of two or more differential amplifier of the above-mentioned course delay circuit, and the differential amplifier of 1 is operated. The delay circuit which has the control circuit which adjusts the amount of operating currents to the transistor for differential amplifiers of the pair of the input side of the delay stage of the above-mentioned fine delay circuit, and an output side complementary.

[Claim 3] The 2nd time delay of the delay stage of the above-mentioned fine delay circuit is a delay circuit according to claim 2 set up for a long time than the 1st time delay of the delay stage of the above-mentioned course delay circuit.

[Claim 4] The 2nd time delay of the delay stage of the above-mentioned fine delay circuit is a delay circuit according to claim 2 set up equally to the 1st time delay of the delay stage of the above-mentioned course delay circuit.

[Claim 5] The resistance element to which the above-mentioned course delay circuit connects a current source, and the 1st and 2nd 1st current sources of the above and 2nd current sources, The 1st transistor by which the collector was connected to the transistor for differential amplifiers of the pair of the above-mentioned input side, and the emitter was connected to the 1st current source of the above. It has the 2nd transistor by which the collector was connected to the transistor for differential amplifiers of the pair of the above-mentioned output side, and the emitter was connected to the 2nd current source of the above. The above-mentioned control circuit The delay circuit according to claim 2 which adjusts the base potential of the 1st transistor of the above, and the 2nd transistor complementary.

[Claim 6] It is the delay circuit according to claim 2 where the above-mentioned course delay

circuit has two or more current sources from which a current value differs, and the switching circuit which connects each above-mentioned current source to either the transistor for differential amplifiers of the pair of the above-mentioned input side, and the transistor for differential amplifiers of the pair of an output side alternatively based on a control signal, and the above-mentioned control circuit outputs the above-mentioned control signal to the above-mentioned switching circuit.

[Claim 7] The above-mentioned course delay circuit is a delay circuit according to claim 2 which has the differential amplifier which equips the transistor for differential amplifiers of a pair, and the transistor for differential amplifiers of this pair with the current switch which supplies the operating current from a current source, and by which the output was connected to the input side of the delay stage of the first rank in the common output circuit of the course delay circuit concerned.

[Claim 8] The above-mentioned course delay circuit is a delay circuit according to claim 2 which has a buffer circuit between two or more above-mentioned current amplifiers and the above-mentioned common output circuit.

[Claim 9] The current switch of two or more differential amplifier of the above-mentioned course delay circuit is a delay circuit according to claim 2 which is connected to a common current source and supplies the operating current from the common current source concerned.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. ~~\*\*\*\*~~ shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates a time delay to the delay circuit which can be set as arbitration.

#### [0002]

[Description of the Prior Art] The applicant was excellent in the linearity of delay characteristics which are indicated by JP,4-17410,A and JP,4-268810,A, and proposed the suitable delay circuit for IC circuit tester etc.

[0003] While connecting with each interstage of the input terminal with which the input signal which should be delayed is supplied, two or more steps of delay stages by which consisted of an N stage ( $N \geq 2$ ), and cascade connection was carried out mutually, and the delay stage of these two or more stages, the former delay circuit specifically Two or more differential amplifier which has the current switch which supplies the operating current to the transistor for differential amplifiers of a pair, and the transistor for differential amplifiers of this pair from a common current source. It has the common output terminal connected common to each output of the transistor for differential amplifiers of the pair of two or more above-mentioned differential amplifier, and the control circuit which controls alternatively the current switch of two or more above-mentioned differential amplifier.

[0004] Even when the delay circuit which has such a configuration chooses which current switch of two or more differential amplifier, since the amount of delay by the differential amplifier uses a single common current source, it has the advantage that reduction of power consumption can be aimed at, while the linearity of delay characteristics becomes good, since it becomes fixed.

[0005] Moreover, when the latter delay circuit sets the input terminal with which the input signal which should be delayed is supplied, the output terminal which derives the delayed signal, an input terminal and the resistance element inserted between output terminals, and unit capacity to C, n capacitative elements which have respectively C, 2C and 4C, —, the capacity  $2^{n-1} C$  Becoming and by which one edge each was connected in common to the outgoing end of a resistance element. It has n selection means to impress alternatively the signal or reference potential level of an input signal, opposition, or an inphase to each other end of this n capacitative element.

[0006] In this delay circuit, one edge each can change the capacity of a capacitative element seemingly by whether the signal of an input signal, opposition, or an inphase is impressed to the outgoing end of a resistance element at the other end of n capacitative elements by which common connection was made. Thus, the time delay of arbitration can be set up by controlling the capacity C of CR time constant circuit, control of the shorter amount of delay of picosecond order is possible, and there is an advantage that delay characteristics excellent in linearity are obtained.

#### [0007]

[Problem(s) to be Solved by the Invention] However, although the amount of delay by the differential amplifier has the advantage that reduction of power consumption can be aimed at since it uses a single common current source while the linearity of delay characteristics

becomes good, since it becomes fixed, control of the shorter amount of delay of picosecond order is difficult for it in the former delay circuit.

[0008] Moreover, as mentioned above, can set up the time delay of arbitration and control of the shorter amount of delay of picosecond order is possible in the latter delay circuit. Although there is an advantage that delay characteristics excellent in linearity are obtained, since the maximum variable time is independent of 1 step time of a coarse-control delay circuit (course delay circuit). Since the maximum variable time of a fine-tuning circuit (fine delay circuit) needed to be set up more greatly than 1 step time of a course delay circuit, the problem was in monotonicity.

[0009] This invention is made in view of this situation, and the purpose can set up all time delays in an adjustable range, and is to offer the delay circuit which can realize the monotonicity property which was moreover excellent.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in the course delay circuit which can derive a predetermined delay output from two or more steps of each stage of a delay stage where cascade connection of the delay circuit of this invention was carried out, and the time delay, it has the fine delay circuit which can be set as the time amount of arbitration at least within the time delay of one delay stage of the above-mentioned course delay circuit, and cascade connection of the above-mentioned course delay circuit and the above-mentioned fine delay circuit is carried out.

[0011] The delay circuit of this invention has the 1st time delay for an input signal. Moreover, two or more steps of delay stages which can be delayed and by which cascade connection was carried out mutually. Two or more differential amplifier which has the current switch which supplies the operating current to the transistor for differential amplifiers of the pair connected to each interstage of the delay stage of these two or more stages, and the transistor for differential amplifiers of this pair from a current source. The course delay circuit equipped with the common output circuit connected common to each output of the transistor for differential amplifiers of the pair of two or more above-mentioned differential amplifier. The transistor for differential amplifiers of a pair by which the input signal was connected to the input side and output side of the delay stage which can be delayed, and the delay stage concerned with the 2nd time delay, respectively. The fine delay circuit where each output of the transistor for differential amplifiers of the pair of the input side concerned and an output side was equipped with the common output circuit connected in common. According to directions of an external signal, control alternatively the current switch of two or more differential amplifier of the above-mentioned course delay circuit, and the differential amplifier of 1 is operated. It has the control circuit which adjusts the amount of operating currents to the transistor for differential amplifiers of the pair of the input side of the delay stage of the above-mentioned fine delay circuit, and an output side complementary.

[0012] Moreover, the 2nd time delay of the delay stage of the above-mentioned fine delay circuit is suitably set up for a long time or equally from the 1st time delay of the delay stage of the above-mentioned course delay circuit.

[0013] In the above-mentioned delay circuit, moreover, the above-mentioned course delay circuit The resistance element which connects a current source, and the 1st and 2nd 1st current sources of the above and 2nd current sources, The 1st transistor by which the collector was connected to the transistor for differential amplifiers of the pair of the above-mentioned input side, and the emitter was connected to the 1st current source of the above. It has the 2nd transistor by which the collector was connected to the transistor for differential amplifiers of the pair of the above-mentioned output side, and the emitter was connected to the 2nd current source of the above, and, as for the above-mentioned control circuit, the base potential of the 1st transistor of the above and the 2nd transistor is adjusted complementary.

[0014] Moreover, in the above-mentioned delay circuit, the above-mentioned course delay circuit has two or more current sources from which a current value differs, and the switching circuit which connects each above-mentioned current source to either the transistor for differential amplifiers of the pair of the above-mentioned input side, and the transistor for differential amplifiers of the pair of an output side alternatively based on a control signal, and the

above-mentioned control circuit outputs the above-mentioned control signal to the above-mentioned switching circuit.

[0015] According to the delay circuit of this invention, all time delays can be set up in an adjustable range by carrying out cascade connection of the course delay circuit which can derive a predetermined delay output from two or more steps of each stage of a delay stage by which cascade connection was carried out, and the fine delay circuit which can adjust the time delay beyond it or it is equal to the 1 step time delay. Moreover, by using the delay stage of the same circuitry as the delay stage which constitutes a course delay circuit and by which cascade connection was carried out for a fine delay circuit, 1 step time delay of a course delay circuit and the maximum variable time of a fine delay circuit become equal, and the outstanding monotonicity property can be realized. Furthermore, since the circuitry of a course delay circuit and a fine delay circuit is the same, the delay fluctuation to process dispersion, a temperature change, and a source effect is reduced considerably.

[0016]

[Embodiment of the Invention] Drawing 1 is the circuit diagram showing 1 operation gestalt of the delay circuit concerning this invention. The course delay circuit 20 which can derive a predetermined delay output from two or more steps of each stage of a delay stage where cascade connection of this delay circuit 10 was carried out as shown in drawing 1 (Course Delay Circuit; programmable delay circuit). Carry out cascade connection of the fine delay circuit (Fine Delay Circuit; adjustable delay circuit) 30 which can adjust the time delay beyond it or it is equal to the 1 step time delay, and it is constituted. It is constituted so that adjustment of the time delay of the course delay circuit 20 and the fine delay circuit 30 may be performed based on the change-over signal S401, .. and the adjustment signal VADJ, and V/ADJ by the control circuit 40. The delay circuit 10 of drawing 1 is the example of a configuration by which cascade connection of the fine delay circuit 30 was carried out to the preceding paragraph of the course delay circuit 20.

[0017] The course delay circuit 20 is two or more steps (for example, N steps) where the time delay was set as  $\tau_{\text{C}}$ . however, the delay stage G201 of 2 input 2 output which outputs and inputs  $N \geq 2$ , for example, the signal of opposition, and G — 202, G203, ... (G20N : don't do illustration of —) — The npn mold transistor QD201 for differential amplifiers, QD202, QD203, and QD204, QD205, QD206, QD207, QD208, ... the npn mold transistors QS201 and QS202 for a current switch, QS203, QS204, and .. (— QS20N : don't do illustration of —) — The npn mold transistor QO201 for an output, QO202, the common current source I201, the current sources I202 and I203 for output stages and the resistance element R201 for loads, and R202 It is constituted.

[0018] transistor QD201 And QD202 emitters connect — having — the base — the 1st delay stage G201 of the first rank of two outputs of the fine delay circuit 30 of the preceding paragraph, and the course delay circuit 20 it connects among two inputs of positive/negative, respectively — having — each collector — the transistor QO201 of a common output stage, and QO202 it connects with the base, respectively. Moreover, the node of emitters is connected to the collector of the transistor QS201 as a current switch.

[0019] And the base of the transistor for differential of a pair is connected also to the interstage of each delay stage. Namely, the 1st delay stage G201 A forward side output and the 2nd delay stage G202 It is a transistor QD203 between forward side inputs. The base is connected and it is the 1st delay stage G201. A negative side output and the 2nd delay stage G202 It is a transistor QD204 between negative side inputs. The base is connected. Transistor QD203 QD204 Emitters are connected and the node is the transistor QS202 as a current switch. It connects with the collector. Moreover, a transistor QD203 and Q204 Each collector is the transistor QO201 of a common output stage, and QP202. It connects with the base, respectively. The 2nd delay stage G202 A forward side output and the 3rd delay stage G203 It is a transistor QD205 between forward side inputs. The base is connected and it is the 2nd delay stage G202. A negative side output and the 3rd delay stage G203 It is a transistor QD206 between negative side inputs. The base is connected. Transistor QD205 QD206 Emitters are connected and the node is the transistor QS203 as a current switch. It connects with the collector. Moreover, a transistor

QD205 and QD206 Each collector is the transistor QO201 of a common output stage, and QO202. It connects with the base, respectively. The base of the transistor for differential amplifiers is connected to the interstage of each delay stage like the following.

[0020] moreover, each transistor QD201 for differential amplifiers, QD203, QD205, QD207, and .. the collector of \*\* — resistance element R201 minding — a transistor QD202, QD204 and QD206, QD208, and .. the collector of \*\* — resistance element R202 minding — common supply terminal TVCC of supply voltage VCC It connects. moreover, the transistor QS201 as a current switch, QS202, QS203, QS204, and .. the emitter of \*\* — current value Iref Common current source I201 It connects. And transistor QS201 The base is the change-over terminal TSW1. It connects and is a transistor QS202. The base is the change-over terminal TSW2. It connects and is a transistor QS203. The base is the change-over terminal TSW3. Transistor QS20N which connects and is not illustrated The base is the change-over terminal TSWN. It connects. [0021] Furthermore, the transistor QO201 for an output and QO202 A collector is the common supply terminal TVCC of supply voltage VCC. It connects. Transistor QO201 An emitter is a current source I202. While connecting, it connects with output terminal T/OUT. Transistor QO202 An emitter is a current source I203. While connecting, it is an output terminal TOUT. It connects.

[0022] It sets in the above-mentioned configuration and they are the transistor QD201 for differential amplifiers, and QD202. And transistor QS201 for a current switch The 1st differential amplifier D201 It is constituted. Similarly, the transistor QD203 for differential amplifiers and QD204 are constituted. And transistor QS202 for a current switch The 2nd differential amplifier D202 It is constituted and they are the transistor QD205 for differential amplifiers, and QD206. And transistor QS203 for a current switch The 3rd differential amplifier D203 It is constituted and they are the transistor QD207 for differential amplifiers, and QD208. And transistor QS204 for a current switch The 4th differential amplifier D204

[0023] It is more nearly alternatively switched to these differential amplifier D201, D202, D203, D204, .., the change-over signal S401 from \*\*\* 40, S402, S403, S404, and .., and actuation control is carried out. Specifically, it is the 1st differential amplifier D201. When it is chosen and is in an operating state, from 0, the signal which received delayed action is amplified and only maximum tauF is outputted as it is in the fine delay circuit 30. When the time delay acquired here is set to deltatauF, it is the 2nd differential amplifier D202. The signal with which only deltatauF received delayed action in the fine delay circuit 30 when it was chosen and was in an operating state is the 1st delay stage G201. The signal with which only time amount tau C was further delayed, and only deltatauF+tau C was delayed on the whole is amplified and outputted. Similarly, it is the 3rd differential amplifier D203. The signal with which only deltatauF received delayed action in the fine delay circuit 30 when it was chosen and was in an operating state is the 1st and 2nd delay stage G201 and G202. The signal with which only time amount 2tau C was further delayed, and only deltatauF+2tau C was delayed on the whole is amplified and outputted. In addition, In this explanation, the time delay of the output stage of the fine delay circuit 30 is not taken into consideration.

[0024] Drawing 2 is drawing showing the delay characteristics of the course delay circuit 20 which have the above-mentioned configuration. In drawing 2 , an axis of abscissa expresses the input terminal of a change-over signal, and the axis of ordinate expresses the time delay, respectively. The course delay circuit 20 of drawing 1 has very good linearity by the unit width of face of tauC so that clearly from drawing 2 .

[0025] The delay stage G301 of 2 Input 2 output where, as for the fine delay circuit 30, the time delay as which the signal of opposition is inputted was set as tauF. The npn mold transistor QD301 for differential amplifiers, QD302, QD303, and QD304, The npn mold transistor QS301 for a current switch, QS302, the npn mold transistor QO301 for an output, QO302, a current source I301, I302, I303, and I304 And a resistance element R301, R302, and R303 It is constituted.

[0026] Transistor QD301 And QD302 Emitters are connected and the base is the signal VIN of opposition, and V/IN. An input terminal TIN and T/IN Delay stage G301 Connecting among two inputs of positive/negative, respectively, each collector is the transistor QO301 of a common output stage, and QO302. It connects with the base, respectively. Moreover, the node of

emitters is the transistor QS301 as a current switch. It connects with the collector. Transistor QD303 And QD304 Emitters are connected and the base is the delay stage G301. Connecting with two outputs of positive/negative, respectively, each collector is the transistor QO301 of a common output stage, and QO302. It connects with the base, respectively. Moreover, the node of emitters is the transistor QS302 as a current switch. It connects with the collector.

[0027] Moreover, each transistor QD301 for differential amplifiers and QD303 A collector is a resistance element R301. It minds and they are a transistor QD302 and QD304. A collector is a resistance element R302. It minds and is the common supply terminal TVCC of supply voltage VCC. It connects. Moreover, the transistor QS301 as a current switch and QS302 An emitter is a current source I301 and I302, respectively. It connects and the nodes of these emitters and a current source are resistance elements R303. It minds and connects. And transistor QS301 The base is the adjustment terminal TADJ. It connects and is a transistor QS302. The base is connected to adjustment terminal T/ADJ.

[0028] Furthermore, the transistor QO301 for an output and QO302 A collector is the common supply terminal TVCC of supply voltage VCC. It connects. Transistor QO301 An emitter is a current source I303. While connecting, it is the transistor QD202 of the input stage of the course delay circuit 20. The base and the 1st delay stage G201 It connects with the negative side input. Transistor QO302 An emitter is a current source I304. While connecting, it is the transistor QD201 of the input stage of the course delay circuit 20. The base and the 1st delay stage G201 It connects with the forward side input.

[0029] A control circuit 40 is an external signal SEXT. While outputting alternatively the change-over signal S401 for carrying out actuation control of the current switch which was received and the course delay circuit 20 mentioned above alternatively, S402, S403 and S404, and .. to the course delay circuit 20 in order to adjust the time delay of the fine delay circuit 30 — level — being alternative (complementary) — the adjustment signal VADJ and V/ADJ which were set up are outputted to the fine delay circuit 30.

[0030] Here, the time delay adjustment by the fine delay circuit 30 which has the above-mentioned configuration is explained with reference to drawing 3 . Drawing 3 is adjustment signal V/ADJ and VADJ. It is drawing showing the variation of the output time delay of the fine delay circuit 30 at the time of carrying out adjustable [ of the electrical potential difference of a between (V/ADJ-VADJ) ]. It sets to drawing 3 and an axis of abscissa is V/ADJ and VADJ. The axis of ordinate expresses the time delay for the electrical potential difference of a between (V/ADJ-VADJ), respectively.

[0031] adjustment signal VADJ by now and the control circuit 40 and the emitter current of the transistor [ in / the level of V/ADJ satisfies the relation of  $VADJ \gg V/ADJ$  and / the fine delay circuit 30 ] QS301 — 2IF it is — if the time delay of the derivation circuit section at the time (output stage) is set to  $T_d = V/ADJ \gg VADJ$  it is — transistor QS302 an emitter current — 2IF it is — it is clear that the time delay's of the derivation circuit section at the time it is  $(T_d + \tau_F)$ . It is the adjustment signal VADJ so that drawing 2 may show. And by changing the voltage level of V/ADJ, by the fine delay circuit 30, it can have maximum  $\tau_F$  and the time amount of arbitration can be set up.

[0032] It is clear that linearity is very good by the unit width of face of  $\tau_F$  in the course delay circuit 20 by which cascade connection was carried out to the latter part of the fine delay circuit 30 on the other hand as explained with reference to drawing 2 . Therefore, if it is set as  $\tau_F = \tau_C$ , all time delays can be set up in an adjustable range. Moreover, if it is set as  $\tau_F = \tau_C$ , the good delay line of monotonicity is realizable.

[0033] Next, actuation by the above-mentioned configuration is explained. External signal SEXT which directs a time delay from the external device which is not illustrated A control circuit 40 is supplied. In a control circuit 40, it is an external signal SEXT. It is the adjustment signal VADJ that directions are followed and a time delay should be set up. And change-over signal S401 — S404 which the voltage level of V/ADJ is adjusted complementary, and it is outputted to the fine delay circuit 20, and is 1 according to directions It is chosen and is outputted to the course delay circuit 30.

[0034] In the fine delay circuit 30, a time delay is a transistor QS301. And QS302 Adjustment

signal VADJ And supply level of V/ADJ, It responds to (V/ADJ-VADJ). Namely, to the time amount of  $T_d - (T_d + \tau_{F1})$  a between The signal VIN of opposition and V/IN which were tuned finely and inputted with the linear property as shown in drawing 3 It is delayed with this adjusted time delay, and is outputted to the course delay circuit 20 of the next step.

[0035] In the course delay circuit 20, it is the change-over signal S401, for example by the control circuit 40. It \*\*\* and is the 1st differential amplifier D201. When it is chosen and is in an operating state, if the signal which received  $T_d - (T_d + \tau_{F1})$  delayed action In the fine delay circuit 30 sets the time delay of the derivation circuit section of the course delay circuit 20 to  $T_{cd}$ , on the whole, only  $T_d + T_{cd} - T_d + \tau_{F1} + T_{cd}$  will be delayed and it will be outputted. Moreover, change-over signal S402 It is supplied and is the 2nd differential amplifier D202. When it is chosen and is in an operating state The signal which received  $T_d - (T_d + \tau_{F1})$  delayed action in the fine delay circuit 30 is the 1st delay stage G201. If only time amount  $\tau_C$  is delayed further and the time delay of the derivation circuit section of the course delay circuit 20 is set to  $T_d$  The signal with which only  $(T_d + T_{cd} + T_{cd}) - (T_d + \tau_{F1} + T_{cd} + T_{cd})$  was delayed on the whole is amplified and outputted. It is the change-over signal S403 further again. It is supplied and is the 3rd differential amplifier D203. When it is chosen and is in an operating state The signal which received  $T_d - (T_d + \tau_{F1})$  delayed action in the fine delay circuit 30 The 1st and 2nd delay stage G201 and G202 The signal with which only time amount  $2\tau_C$  was further delayed, and only  $-(T_d + 2\tau_C + T_{cd})$  ( $T_d + \tau_{F1} + 2\tau_C + T_{cd}$ ) was delayed on the whole is amplified and outputted.

[0036] As mentioned above, according to this operation gestalt, since cascade connection of the course delay circuit 20 which can derive a predetermined delay output from two or more steps of each stage of a delay stage by which cascade connection be carried out, and the fine delay circuit 20 which can adjust the time delay beyond it or it be equal to the 1 step time delay be carried out, all time delays can be set up in an adjustable range ( $\tau_{F1} \geq \tau_C$ ), and control of the shorter amount of delay of picosecond order be possible. Moreover, by using the delay stage which has the same circuitry as the delay stage which constitutes the course delay circuit 20, and by which cascade connection was carried out for the fine delay circuit 30, 1 step time delay of a course delay circuit and the maximum variable time of a fine delay circuit become equal, and the outstanding monotonicity property can be realized. Furthermore, it is the best for a high speed signal processing delay circuit, and since the circuitry of a fine delay circuit and a course delay circuit is the same, the delay fluctuation to process dispersion, a temperature change, and a source effect can be reduced sharply.

[0037] In addition, in the operation gestalt mentioned above, although it constituted so that a current might be adjusted in analog and timing of the fine delay circuit 30 might be performed, it is also possible for it not to be limited to this and to control in digital one. For example, as shown in drawing 4 , a current value is  $2(n-1)$ . Two or more current sources ID 301 – ID30n from which \*\*\* (however, n one or more natural numbers) differs While preparing These current sources ID 301 – ID30n Delay stage G301 The transistor QD301 for differential amplifiers of an input side, and QD302 The node of emitters, the transistor QD303 for differential amplifiers of an output side, and QD304 Two or more switching circuits SW301 – SW30n which connects the node of emitters alternatively They are a switching circuit SW301 – SW30n by the control signals C1–Cn from a control circuit. It is also possible to form the current switching circuit 31 which performs change-over control, and to constitute fine delay circuit 30a. Thus, the good delay line of monotonicity is realizable by setting the maximum adjustable time delay over a digital setup to  $\tau_{F1}$ , for example, being referred to as  $\tau_{F1} = \tau_C$  by carrying out adjustable [ of the adjustment approach of a fine delay circuit ] in digital one.

[0038] furthermore, it is shown in drawing 5 — as — course delay circuit 20a — setting — the output of each differential amplifier D201, D202, D203, D204, and .., the transistor QO201 of an output stage, and QO202 It is also possible to form the sense amplifier 21 as a buffer circuit between the bases. In this case, since the output capacitance of the transistor QD201 for differential amplifiers, QD202, QD203, QD204 and QD205, QD206, QD207, QD208, and .. becomes small seemingly, improvement in the speed can be attained.

[0039]

[Effect of the Invention] Since cascade connection of the course delay circuit which can derive

a predetermined delay output from two or more steps of each stage of a delay circuit by which cascade connection was carried out, and the fine delay circuit which can adjust the time delay beyond it or it is equal to the 1 step time delay was carried out according to the delay circuit of this invention as explained above, all time delays can be set up in an adjustable range.

[0040] Moreover, according to the delay circuit of this invention, by using the delay stage of the same circuitry as the delay stage which constitutes a course delay circuit and by which cascade connection was carried out for a fine delay circuit, 1 step time delay of a course delay circuit and the maximum variable time of a fine delay circuit become equal, and the outstanding monotonicity property can be realized.

[0041] Moreover, according to the delay circuit of this invention, the good delay line of monotonicity is realizable by carrying out adjustable like digital one of a fine delay circuit by setting the maximum adjustable time delay over a digital setup to  $\tau_{2F}$  (the 2nd time delay), for example, being referred to as  $\tau_F = \tau_C$  (the 1st time delay).

[0042] Moreover, according to the delay circuit of this invention, it is the best for a high speed signal processing delay circuit. Moreover, since the circuitry of a fine delay circuit and a course delay circuit is the same, the delay fluctuation to process dispersion, a temperature change, and a source effect can be reduced considerably.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**